

PAT-NO: JP411004082A
DOCUMENT-IDENTIFIER: JP 11004082 A
TITLE: MANUFACTURE OF PRINTED WIRING BOARD
PUBN-DATE: January 6, 1999

INVENTOR-INFORMATION:

NAME
FURUI, YASUJI

ASSIGNEE-INFORMATION:

NAME NEC TOYAMA LTD	COUNTRY N/A
------------------------	----------------

APPL-NO: JP09155088

APPL-DATE: June 12, 1997

INT-CL (IPC): H05K003/46, H05K003/00

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce defective marking points in number when an electrical check is carried out and to easily carry out an analytical operation by a method wherein a first and a second defective indication recognition mark corresponding to a discrete printed wiring board are formed of the same material with a conductor wiring pattern at the same time, and a hole is bored in each defective indication recognition mark.

SOLUTION: First defective indication recognition marks 3 composed of dots corresponding to discrete printed wiring boards 4 comprised in a master board 1 are formed. The defective indication recognition mark 3 corresponding to a defective board comprised in the master board 1 is turned to a hole 5 by boring with a drill or the like. Photosensitive insulating material is applied fully covering all time master board 1 for the formation of an insulating layer 6. The insulating layer 6 which is not photopolymerized and located on the hole 5 is removed. Second defective indication recognition marks 3-(2)

*forming hole 5
through hole 5
towards
and pattern 3*

composed of
dots corresponding to a conductor wiring pattern and discrete boards
comprised
in the master board 1 are formed on an insulating board 2. The dots
corresponding to the defective boards comprised in the master board 1
are turned
to holes 5-(2) by boring with a drill or the like, and thus a
multilayer
printed wiring board can be realized.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-4082

(43)公開日 平成11年(1999)1月6日

(51)Int.Cl.⁶

H 05 K 3/46
3/00

識別記号

F I

H 05 K 3/46
3/00

V
P

審査請求 有 請求項の数3 OL (全5頁)

(21)出願番号

特願平9-155088

(22)出願日

平成9年(1997)6月12日

(71)出願人 000236931

富山日本電気株式会社

富山県下新川郡入善町入膳560

(72)発明者 古井 靖二

富山県下新川郡入善町入膳560番地 富山

日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

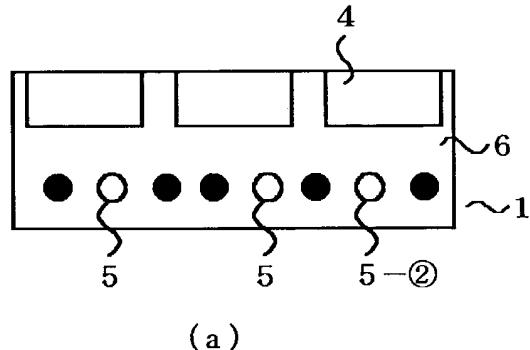
(54)【発明の名称】印刷配線板の製造方法

(57)【要約】

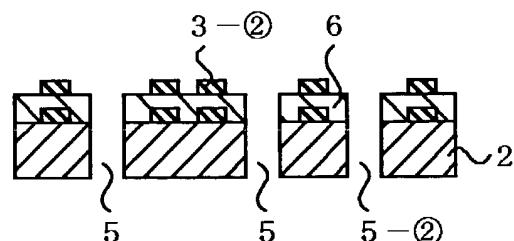
【課題】複数個の個別印刷配線板を含む多層印刷配線板の製造方法において個別印刷配線板の不良表示方法を簡便化し、不良の個別印刷配線板の位置並びに数量を容易に認識する方法を提供する。

【解決手段】ビルドアップ法における複数個の個別印刷配線板を含む多層印刷配線板の製造方法において、個別印刷配線板(4)に対応した不良表示表示マーク(3)をマスター基板内に形成後、不良の個別印刷配線板(4)に対する不良表示認識マーク(3)位置に窄孔(5)を形成し、次いで窄孔(5)を閉塞しないように

絶縁層(6)を形成し外層回路を形成後、不良の個別印刷配線板に対して不良表示認識マーク(3-②)位置に窄孔(5-②)を形成する。



(a)



(b)

1

【特許請求の範囲】

【請求項1】 内層用導体配線パターンの形成された複数の個別印刷配線板を有するマスター基板の捨て板部に前記個別印刷配線板に対応した第1の不良表示認識マークを前記導体配線パターンと同材料で同時に形成する工程と、前記個別印刷配線板の不良基板に対応した前記不良表示認識マークの位置に穿孔を形成する工程と、前記穿孔を除いて前記マスター基板の全面に絶縁層を形成する工程と、前記絶縁層にフォトビアを形成後、前記絶縁層およびフォトビア壁に銅めっきにより外層導体配線パターンと前記マスター基板の捨て板部の前記絶縁層上に第2の不良表示認識マークを前記導体配線パターンと同材料で同時に形成する工程と、前記外層導体配線パターンの形成された前記個別印刷配線板の不良基板に対応した前記第2の不良表示認識マークの位置に穿孔を形成する工程を有することを特徴とする多層印刷配線板の製造方法。

【請求項2】 前記第1の不良表示認識マークの位置に形成された穿孔と前記第2の不良表示認識マークの位置に形成された穿孔の形状が同一である請求項1記載の多層印刷配線板の製造方法。

【請求項3】 前記第1の不良表示認識マークの位置に形成された穿孔と前記第2の不良表示認識マークの位置に形成された穿孔の形状が異なる請求項1記載の多層印刷配線板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は多層印刷配線板の製造方法に関し、特にマルチチップモジュール実装用印刷配線板（以下、MCM-Lという）等に代表される1枚のマスター基板に複数個の個別印刷配線板をシート編集した際に用いられる多層印刷配線板の製造方法に関するものである。

【0002】

【従来の技術】近年、IC、LSI等の高集積化、高速化が非常な勢いで進められているのに伴って、これらを実装する印刷配線板においても、高密度化する必要性が高まってきており、その方法の一つとして絶縁基板の上に導電回路と絶縁層を交互に積み上げ、多層回路を形成するビルトアップ法による多層印刷配線板の製造方法が提案されている。なかでもMCM-L基板等の高密度印刷配線板を製造する際、実装時の低コスト化を目的としてMCM-L基板を1枚のマスター基板に複数個シート編集した設計が増加している。

【0003】この設計を用いたときの課題としてマスター基板内に不良基板を含む場合の不良表示方法並びに不良基板の検出方法がある。これらの不良基板の表示方法として、図8に示すような不良基板内にケガキをいれて不良表示する方法や各不良基板のパターンをカットする方法が開示されている。

2

【0004】従来のこれらの不良表示方法では、マスター基板内の不良基板数の計数管理工数の増加やマスター基板を電気検査する場合の不良ポイント打ち出しの増加などの問題点があった。

【0005】上記問題点を解決する手段として、実開昭59-36269号公報には、マスター基板の端部に複数個の切り欠け部を設け不良基板の情報を表示する方法（以下、第1の改良表示方法という）が開示されている。図9はその不良表示した基板の斜視図、図10はその平面図であり、不良表示用切り欠き11が示されている。

【0006】また、上記問題点を解決する他の方法として、前記公報や特開平4-109699号公報には、マスター基板の端部に複数個の穿孔を設ける不良基板の情報表示方法（以下、第2の改良表示方法という）が提案されている。図11はその不良表示した基板の平面図であり、不良表示用穿孔12が示されている。

【0007】

【発明が解決しようとする課題】前記従来のマスター基板内の複数個の不良基板に対してケガキを入れる表示方法や不良基板の一部のパターンをカットする判別方法では、上記のように電気検査時に不良ポイントの打ち出しが増加する問題点並びに不良基板の計数管理工数の増加の問題点があった。

【0008】また、上記第1および第2の改良表示方法では、ビルトアップ法を用いた多層印刷配線板の製造において、絶縁層をビルトアップ形成する際に、マスター基板の端部の切り欠け部又は穿孔した穴が絶縁層でふさがるという問題点があった。

【0009】

【課題を解決するための手段】本発明は上記の従来技術の問題点を解消したビルトアップ法を用いた多層印刷配線板の製造方法を提供することを目的とする。

【0010】本発明の多層印刷配線板の製造方法は、内層用導体配線パターンの形成された複数の個別印刷配線板を有するマスター基板の捨て板部に前記個別印刷配線板に対応した第1の不良表示認識マークを前記導体配線パターンと同材料で同時に形成する工程と、前記個別印刷配線板の不良基板に対応した前記不良表示認識マークの位置に穿孔を形成する工程と、前記穿孔を除いて前記マスター基板の全面に絶縁層を形成する工程と、前記絶縁層にフォトビアを形成後、前記絶縁層およびフォトビア壁に銅めっきにより外層導体配線パターンと前記マスター基板の捨て板部の前記絶縁層上に前記個別印刷配線板に対応した第2の不良表示認識マークを前記導体配線パターンと同材料で同時に形成する工程と、前記外層導体配線パターンの形成された前記個別印刷配線板の不良基板に対応した前記第2の不良表示認識マークの位置に穿孔を形成する工程を有する構成からなる。

50 【0011】前記第1と第2の不良表示認識マークのパ

ターンは同一でも、異なっていてもよい。またこれらの不良表示認識マークはマスター基板の捨て板部での位置をずれて形成してもよい。第1の不良表示認識マーク位置に形成した穿孔と、第2の不良表示認識マーク位置に形成した穿孔の形状は同一でも異なっていてもよい。両者の穿孔の形状が異なる場合には、内層不良と外層不良の識別がより容易になる効果もある。

【0012】

【発明の実施の形態】本発明の実施の形態について図面を参照して説明する。図1～図7は本発明の実施の形態の多層印刷配線板の製造方法の工程順を説明するため基板要部の図であり、各図(a)、(b)はそれぞれ断面図および平面図を示す。尚、断面図は平面図A-A線の断面図を示す。本発明の実施の形態では、説明を簡略化するために一方の面にビルドアップし、第1と第2の不良表示認識マークのパターンは同一かつ層間で重なる位置に形成し、また第1と第2の不良表示認識マーク位置に形成する穿孔の形状は同一である多層印刷配線板を製造する場合について説明する。

【0013】まず図1(a)、図1(b)のように、厚さ0.4～1.6mmの絶縁基板2上に厚さ10～20μmの銅層の導体配線パターン(図示しない)をサブトラクティブ法により形成し、同時にマスター基板1の捨て板部にマスター基板1に含まれる個別印刷配線板4に対応したドットからなる第1層目の不良表示認識マーク3を同様の導体材料により形成して内層回路基板を作製する。なお、配線パターン形成にはアディティブ法を用いることもできる。また、不良表示認識マークにはドットの代わりにシリアルナンバーの数字でもよい。前記不良表示認識マークの大きさは光学的に認識でき、また削除が容易なように直径0.7mm以上で1.5mm以下とするのが望ましい。ここでは、その不良表示認識マークの直径は1.0mmとした。

【0014】次に図2(a)、図2(b)に示すように導体配線パターンを光学的又は電気的に検査した後、マスター基板内の不良基板に対応する不良表示認識マークのドリル等により穿孔5を形成する。その際ドリル径はドットを削除出来るようにドット直径+0.1mmのものを使用する。

【0015】次に図3(a)、図3(b)に示すようにマスター基板1上を完全に覆うように、且つ導体配線パターン上に所望する絶縁層厚が得られるように、感光性絶縁材料を塗布し、絶縁層6を形成する。導体配線パターンや第1層目の不良表示認識マーク3のドットの導体厚が30μmで、厚さ40μmの絶縁層6を形成する場合には、70μm厚さに液状感光性絶縁材料を塗布し、乾燥することでよい。その塗布方法としては、たとえばカーテンコート法やスクリーン印刷法等を用いることができる。

【0016】続いて図4(a)、図4(b)に示すよう

10

に層間を接続するためのフォトピアを形成するためにフォトピア形成用のマスクフィルム7を絶縁層6上に載置して密着露光する。その際、使用するマスクフィルム7のマスター基板内に設けられた不良表示部分においては、前記工程で形成された穿孔5をふさがないように穿孔したドリル直径+0.1mmの直径の逃げのドット8を設けておく。このマスクフィルム7を用いて密着露光する事により、フォトピア(図示しない)および前記工程で形成した穿孔5部分以外の絶縁層6を光重合させる。

【0017】続いて光重合させていない絶縁層6の部分を1重量%炭酸ナトリウム水溶液等で現像除去する事により、フォトピア(図示しない)を形成すると共に、不良表示を示す穿孔5上の絶縁層を除去する(図5(a)、図5(b))。次いで、絶縁層6の硬度を高めるために、熱キュア(例えば温度130℃で90分のベーキング等)または紫外線キュア(例えば露光量600mJ/cm²の紫外線照射等)を行う。

【0018】更に、絶縁層6の表面に形成する導体層の密着度向上させる目的で絶縁層6の表面を過マンガン酸ナトリウム水溶液等で粗面化し、絶縁層6の表面に深さ0.1～1μmの微細な凸凹を形成後、図6(a)、図6(b)に示すように絶縁基板上にサブトラクティブ法により厚さ10～20μmの銅層の外層の導体配線パターン(図示しない)とマスター基板の捨て板部にマスター基板に含まれる個別基板に対応したドットの第2層目の不良表示認識マーク3-②を形成する。

【0019】そのドットは光学的に認識できるように第1層の良表示認識マーク3と同様な大きさとした。続いてマスター基板1を電気的、もしくは光学的に検査をした後、マスター基板内の不良個片に対応したドットをドリル等で穿孔5-②を形成し、多層印刷配線板が完成する(図7(a)、(b))。この際、第1層目の導体配線パターン形成(内層形成)後に検出した不良個片に関しては既に穿孔しており、その部分の絶縁層に関しても絶縁層形成時に逃げを設けているため、既に不良表示孔は形成されており再度穿孔する必要は無い。

【0020】マスター基板内の良品個片の計数に関しては、各マスター基板内の穿孔されていないドットを計数すればよく、従来の様にマスター基板の不良個片のケガキの有無、又は不良の打ち出し等から良品個片を計数する必要が無くなる。

【0021】

【発明の効果】本発明の第1の効果はシート編集したマスター基板中の不良個片の数、並びに不良基板の位置が対応するシリアルナンバーまたはドットで判別できるため良品と不良品の管理が簡便にでき、また、従来の様に不良表示を内層パターン又は外層パターンをかけがくことにより行わないために、電気検査時の不良打ち出しポイントが減少し、解析作業が容易になる。

30

40

50

【0022】本発明の第2の効果は内層形成時に判明した不良品に対して外層形成時に再度不良表示を行わなくして済むため、不良品の表示間違いや不良表示忘れ等が防止できる。

【図面の簡単な説明】

【図1】本発明の実施の形態の多層印刷配線板の製造方法を工程順を説明するための内層回路形成工程の基板要部の断面図および平面図を示す。

【図2】本発明の実施の形態の多層印刷配線板の製造方法の内層回路形成後の不良表示を説明するための基板要部の断面図および平面図を示す。

【図3】本発明の実施の形態の多層印刷配線板の製造方法の絶縁層形成工程を説明する基板要部の断面図および平面図を示す。

【図4】本発明の実施の形態の多層印刷配線板の製造方法をのフォトビア形成の露光工程を説明する基板要部の断面図および平面図を示す。

【図5】本発明の実施の形態の多層印刷配線板の製造方法をのフォトビア形成の現像工程を説明する基板要部の断面図および平面図を示す。

【図6】本発明の実施の形態の多層印刷配線板の製造方法をのフォトビア形成後の外層導電パターン形成工程を説明する基板要部の断面図および平面図を示す。

【図7】本発明の実施の形態の多層印刷配線板の製造方

法の外層回路形成後の不良表示を説明するための基板要部の断面図および平面図を示す。

【図8】従来の不良表示方法を説明するための印刷配線板の斜視図である。

【図9】従来の他の不良表示方法を説明するための印刷配線板の斜視図である。

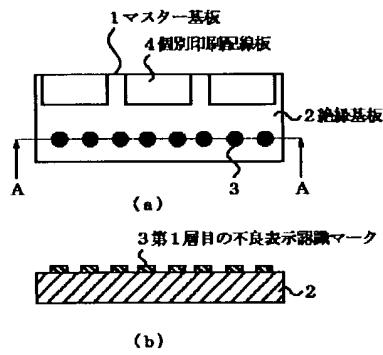
【図10】図9の印刷配線板の平面図である。

【図11】図9に関連した他の不良表示方法を説明する印刷配線板の平面図である。

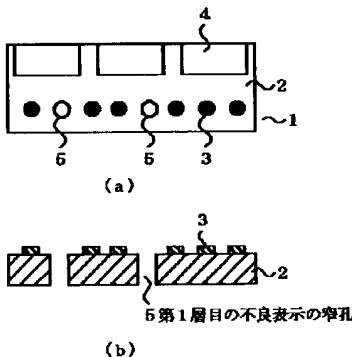
10 【符号の説明】

- 1 マスター基板
- 2 絶縁基板
- 3 第1層目の不良表示認識マーク
- 3-② 第2層目の不良表示認識マーク
- 4 個別印刷配線板
- 5 第1層目の不良表示として窄孔された孔
- 5-② 第2層目の不良表示として窄孔された孔
- 6 絶縁層
- 7 マスクフィルム
- 8 不良表示穴に対して逃げを設けたドット
- 9 不良表示ケガキした個別印刷配線板
- 10 不良表示パターンカットした個別印刷配線板
- 11 不良表示用切り欠き
- 12 不良表示用窄孔

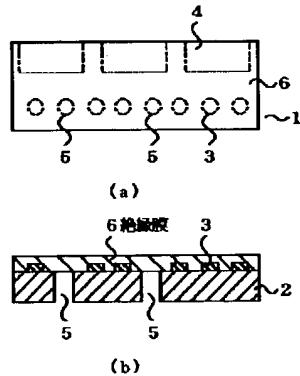
【図1】



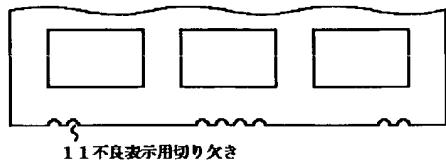
【図2】



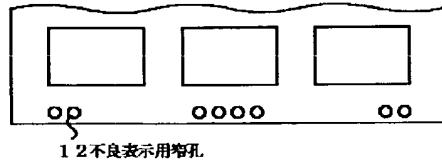
【図3】



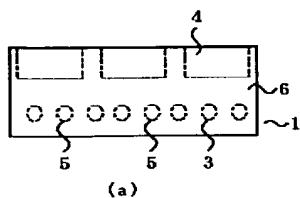
【図10】



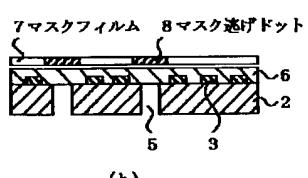
【図11】



【図4】

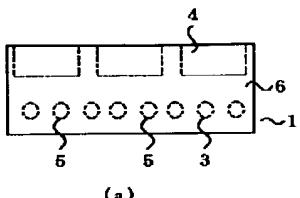


(a)

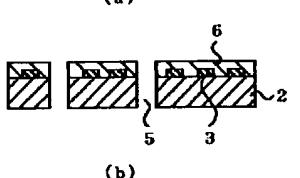


(b)

【図5】

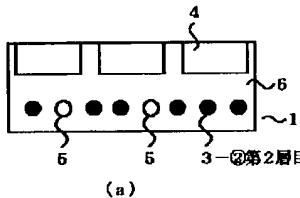


(a)

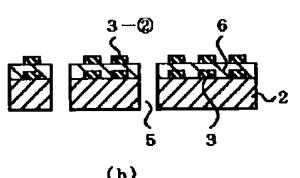


(b)

【図6】

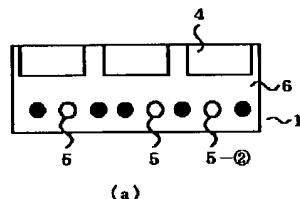


(a)

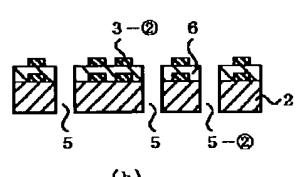


(b)

【図7】

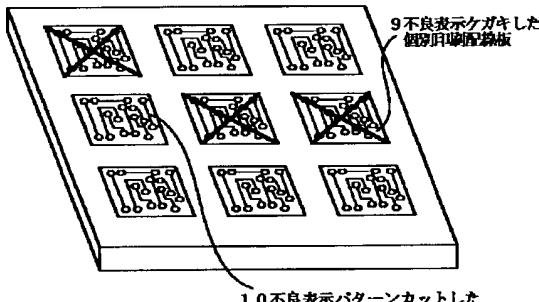


(a)



(b)

【図8】



【図9】

